

p. 1

(43)Date of publication of application : **05.04.2002**

H04L 7/08

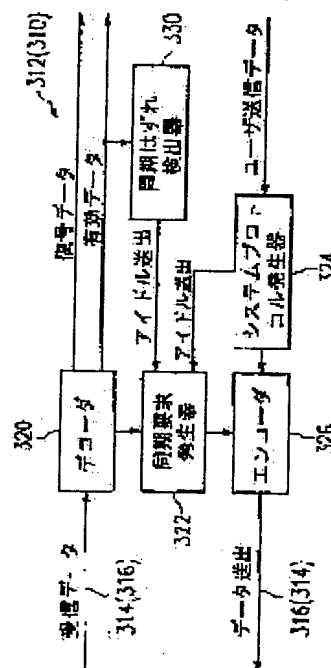
(71)Applicant : TEXAS INSTRUMENTS INC

(72)Inventor : STURM GORDON L

Priority number : 2000 615993 Priority date : 14.07.2000 Priority country : US

(57)Abstract:

SOLUTION: This system is provided with a decoder (320) and a detecting circuit (330). The decoder (320) receives data at a packet rate. Each packet includes at least two words, and the packet rate is set lower than a word rate. The detection circuit (330) monitors a data effective signal from the decoder (320), and asserts an output signal (idle transmission) when it confirms that the value of the data validity signal has been changed to a higher speed than the packet rate.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-101084
(P2002-101084A)

(43) 公開日 平成14年4月5日(2002.4.5)

(51) Int.Cl.⁷
H 0 4 L 7/08

識別記号

F I
H 0 4 L 7/08

テーマコード(参考)
A 5 K 0 4 7

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願2001-215568(P2001-215568)

(22) 出願日 平成13年7月16日(2001.7.16)

(31) 優先権主張番号 6 1 5 9 9 3

(32) 優先日 平成12年7月14日(2000.7.14)

(33) 優先権主張国 米国 (U S)

(71) 出願人 501229528

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国、テキサス、ダラス、チャ
ーチル ウエイ 7839

(72) 発明者 ゴードン エル、スタルム

アメリカ合衆国 テキサス、ダラス、ピ
ー、オー、ボックス 703584

(74) 代理人 100066692

弁理士 浅村 皓 (外3名)

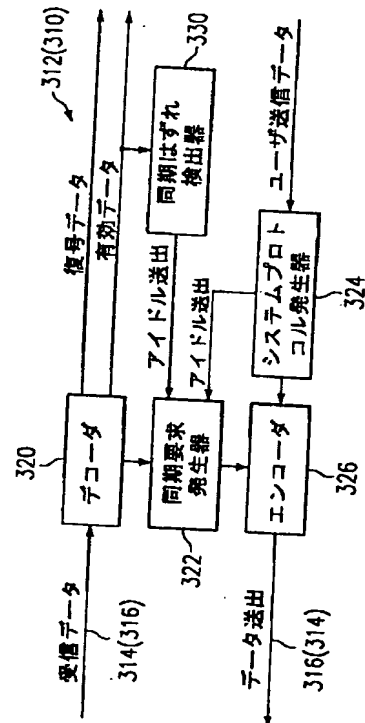
Fターム(参考) 5K047 AA15 BB15 HH01 HH12 JJ04
MM11

(54) 【発明の名称】 シリアルデータを同期させるための方法とシステム

(57) 【要約】

【課題】 シリアルデータ通信システムにおいて、フル
パケットサイズ以下のグループまたは塊で送られてきた
アイドルコードまたはデータを検出し、エラーの存在を
確認し、このエラーを適切に修正してシリアルデータを
適切に同期させるための装置と方法を提供する。

【解決手段】 デコーダ(320)と検出回路(330)を設ける。デコーダ(320)はパケットレートで
データを受け取る。各パケットには2ワード以上が含ま
れており、パケットレートはワードレートより低い。検
出器回路(330)はデコーダ(320)からのデータ
有効信号を監視し、データ有効信号の値がパケットレ
ートより高速で変化することを確認した時に出力信号(アイ
ドル送出)をアサートする。



【特許請求の範囲】

【請求項 1】 復号データ出力およびデータ有効出力を備え、受信データ入力ノードに接続されたデコーダであって、パケットレートがワードレートより低くなるように 1 パケット当たり 2 ワード以上を含むパケット形式のデータをパケットレートで受信するように構成されたデコーダと、

デコーダのデータ有効出力に接続された入力を備え、データ有効出力上の信号値がパケットレートより高いレートで変化することを確認した時に出力信号をアサートする検出器回路とを有する通信装置。

【請求項 2】 シリアルビット受信機を再同期する方法であって、

1 パケット当たり少なくとも 2 ワードを含むパケット形式のシリアルビット情報をシリアル線路から受信するステップと、

シリアルビット情報にエラーが含まれるか否かを判定するステップと、

各エラー発生時にフルパケット長より短いコードを生成するステップと、

コードを遠隔の通信装置に送るステップと、

遠隔の通信装置から同期要求コマンドを受信するステップと、

同期要求コマンドにตอบสนองしてシリアルビット情報を再同期するステップとを含む前記方法。

【発明の詳細な説明】

【0001】

【発明の分野】 この発明は、一般に通信システムとその構成要素に関するもので、特にシリアルデータを同期させるための方法とシステムに関するものである。

【0002】

【発明の背景】 本発明は通信システムに関するものである。シリアル通信は、第 1 の点から第 2 の点までデータを送るために単一の通信経路を利用する。多ビットワードを伝送する場合、シリアル線路に沿って順々にワードを送信することができる。各ワードに属するビットを判別するのは受信機の役割である。このソーティング過程を再同期と呼ぶことができる。

【0003】 図 1 は従来技術によるシリアル通信システムの再同期論理の一部を示す。受信データは 8 b 1 0 b デコーダ 1 2 0 に供給される。当該技術分野で周知の通り、8 b 1 0 b コードは 8 ビットのデータワードを通信用の 1 0 ビットのワードに変換するコードである。データに関して、このブロックは 1 0 ビットの受信データを元の送信 8 ビットに変換して、復号データとして出力する。また、有効なデータが検出されると、デコーダ 1 2 0 は、データ有効信号をアサートする。

【0004】 デコーダ 1 2 0 は、アイドルコード発生器 1 2 2 にデータエラー信号を送る。認識されてワードをデコーダ 1 2 0 が受け取ると、データエラー信号がアサ

ートされる。そのとき、アイドルコード発生器 1 2 2 は、8 b 1 0 b エンコーダ 1 2 6 にアイドルコードを送信するように命令する。また、システムプロトコルで決定する所定の時点でも、エンコーダ 1 2 6 はアイドルコードを送る。この伝送動作は、アイドルコードを送るようにシステムプロトコル発生器 1 2 4 がアイドルコード発生器 1 2 2 に指示することによって開始される。

【0005】 このリカバリ方法をサポートするために、送信機は、受信機側へ有効データコード群または有効な特別コード群を送って、受信機からのデータエラー状態のエコーを効果的に返す。受信機は、これらの受信コード群の特徴付けを行い、送信機からのコード群がデータであるか、あるいは特別なコードであるかを表すデータ有効信号を生成する。本発明の好ましい実施例で利用される従来技術の 1 つの特徴は、システムプロトコル発生器 1 2 4 がアイドルコードまたはユーザデータをパケットサイズより小さくない塊として送ることである。

【0006】

【発明の概要】 本発明の好ましい実施例は、フルパケットサイズ以下の塊で送られたアイドルコードあるいはデータを検出するために従来技術の上記特徴を利用する。そのようなサイズの伝送が検出されると、システムは、それをエラーと認識し、このエラーを修正するために適切な動作を行うことができる。例えば、シリアルデータが適切に同期しなければ、システムはこの問題を修正するための動作を行う必要がある。

【0007】 本発明の第 1 実施例の方法によれば、シリアルビット情報はパケットで構成され、各パケットには少なくとも 2 つのワードが含まれる。受信機は、シリアルビット情報にエラーが含まれるか否かを判定し、各エラーについてコードを生成することができる。このコードの長さはフルパケットよりも短い。このコードは遠隔の通信装置に送られ、通信装置は、そのコードがフルパケットより短いことを認識する。これが認識されると、同期要求コマンドが生成され、受信機に送られ、受信機でシリアルビット情報を再同期することができる。

【0008】 好ましい実施例では、シリアルビット情報を符号化、復号するために 8 b 1 0 b コードを使用する。通常動作では、このコードにおいて同じ値が 4 ビット以上連続することはない。しかし、同じ値を 5 ビット以上含むストリングを受信したとき、受信機を再同期することができる。

【0009】 本発明は、いくつかの方法で実施することができる。デコーダはパケットレートのデータを受け取る。従来と同様、各パケットには 2 ワード以上が含まれるので、パケットレートはワードレートよりも低い。検出器回路は、デコーダからのデータ有効信号を監視し、データ有効信号の値がパケットレートよりも高速で変化していると判断すると出力信号をアサートする。

【0010】 本発明の別の特徴によれば、他の可能な技

術より優れたいくつかの利点が得られる。例えば、本発明の好ましい実施例によれば、コンマコードを頻繁に送る必要なく、全く不要なこともある。また、エラーを判定するためにユーザデータシーケンスにチェックワードを埋め込む必要がない。これらの付加チェックを排除する理由が本発明にあるわけではないが、付加ビットを制限することによって、シリアルリンク帯域幅を節約することができる。通常の動作では、リンクの整合性を監視するのにシリアルリンク帯域幅を使うことはないので、システム機能に利用できるリンク帯域幅が増加する。

【0011】さらに、好ましい実施例では、既存の packets プロトコルやデータフォーマットに手を加える必要がなく、またシリアルリンクのデータ整合性を監視するために余分なコードを送る必要がない。基本的に、この好ましい方法では、システムで使用されるシグナリング帯域幅が同期はずれ時に増加すると、それを認識する。ほとんどの場合、本発明を利用するにあたって、既存の packets プロトコルとの干渉はない。これにより、モジュール設計の実用化が可能になり、設計の低位リンクメンテナンス機能から独立して packets 化を展開することができる。本発明の好ましい実施例では、正常なシステム動作において最低 packets サイズが1ワードを越える

ワード番号	データ (16進)	データ (2進)
1	57	0101 0111
2	A1	1010 0001
3	F2	1111 0010

これらの3データワードを生データとして送る場合、シリアルデータストリームは下記ようになるだろう。

010101111010000111110010

【0015】この場合、各ワードはシリアル化されており、一番左ビットから始まって一番右のビットに行き、さらに次のワードの一番左ビットにつながる。ワード間の境界位置を示すための付加ビットは送信されない。

【0016】多くの場合、「0」データビットと「1」データビットの間の遷移を認識することによって、シリアルデータから受信クロックから再生される。この方法は、シリアル線路の帯域幅の節約になるが、クロック再生回路の設計を満足させるのに十分な遷移が得られるようにデータに「0」と「1」が適切に混在することが条件である。

【0017】「0」と「1」の間の適切なビット遷移を確保するために、「8b10b」コードと呼ばれる特殊なコードが時々使われる。このコードは8ビットパターンのデータを10ビットのデータワードに変換し、あるビットの前に反対極性の0または1が連続4ビットを超えないことを保証するものである。

【0018】8b10bコードを使用した場合でも、データワード間の境界を確認する目的で受信機に何らかの補助メカニズムが必要である。この条件を満たすため

に、8b10bコードでは、ある特別なコードワードが

ことを期待しているだけであって、これは容易に達成することができる条件である。付図にしたがって以下に記述される説明から、本発明の上記特徴を更に深く理解することができる。

【0012】

【実施例の詳細説明】以下に、様々な実施例の製作と使用について詳細に述べる。しかし、本発明によって多くの適用可能な発明概念が提供され、それらは様々な具体的コンテキストで実施することができる。ここで述べる特定の実施例は発明の製作、使用法を単に説明するだけであって、発明の範囲を限定するものではない。

【0013】高速シリアルデータ伝送の使用に依存するシステムにおいて本発明の特徴を利用することができる。このタイプのデータ伝送は費用効率がよいが、ある種の設計上の問題がある。

【0014】共通する1つの設計上の問題はクロック再生である。最大のデータスループットを得られるように、多くのシステムでは、各データバイトからの連続データビットストリームをスペースなしで送ることによって、シリアルデータストリームを構成する。以下の例はその概念を示す。3ワードをシリアルデータとして送るものと仮定する。

定義されている。これらは「コンマ」コードと呼ばれる。コンマコードはユーザデータコードスペースの一部ではなく、それぞれがコードワード中に連続5個の「0」または「1」を含んでいる。この長い連続ビットはワード境界同期に関係なく認識することができ、いったん認識されると、正しいワード境界同期を求めるために使用することができる。8b10bコードを使用する場合、ワード同期を維持するために時々コンマコードが送られる。

【0019】データビットエラーによって1つ以上の正常なデータワードがコンマコードと同じビットパターンに変換されると、同期が失われることがある。エラーによってデータに生じた何らかのシフトが8b10bコンマコードと一致すると、受信機の同期論理は、誤ったコンマコードを認識し、それに合わせてワード境界を調整するかもしれない。そのようにして画定されたワード境界は正常なデータにとっては不正なものであるが、受信機はそれを認識できない。その結果、あるワードと次のワードのずれた組み合わせで構成されるデータワードの送りが始まる。

【0020】この状況は、正規に送られたコンマコードを受信機が検出するまで続くだろう。正規にコンマが送られると、そのビットパターンは正しいワード間境界に適切に配列される。正しいコンマワードにより、受信機

のワード間境界はデータストリームにおける正しい位置に再配置される。

【0021】再配置の後、受信機はもう一度正しいデータワードを送る。ワード同期を確実にする1つの非常に簡単な方法は、頻繁にコンマコードを送ることである。この方法の不都合な点は、コンマコードが使うデータ帯域幅がユーザデータの伝送に使用できないことである。その結果、システムのスループットが低下する。

【0022】同期喪失が検出されたとき、単にシステムを通してコンマコードを送るだけで修正することができる。したがって、いくつかの同期維持の方法は同期喪失の検出に依存している。ワードの同期喪失を検出する1つの古典的な方法では、適切なチェックビットスキームが使用される。ワードはブロックに分類され、各ブロックはブロックのデータワードの巡回冗長検査コードを表す付加的データビットを含む。チェックコードは、不正なワード境界から不正なチェックコードが発生するように設計される。

【0023】この方法には、いくつかの難点がある。まず、チェックビットにデータ帯域幅が必要であるから、システムのスループットが低下する。また、チェックビットの計算と照合にも困難がある。さらに、同期喪失を検出するまでに遅延がある。したがって、データブロックの終わりでチェックビットを期待値と比較するまで、問題を認識することはできない。

【0024】図2は通信システムを非常に簡潔に示す図である。このシステムでは8b10b符号化による全二重シリアルデータを使用する。言い換えれば、システムA（参照符号10）はシリアルリンク14を介してシリアルデータをシステムB（参照符号12）に送り、システムBはシリアルリンク16を介してシリアルデータをシステムAに送ることができる。システムは完全対称であることが望ましく、この利点を考慮すると、送受信機回路10、12は実質的に同じ回路で構成することが可能である。図に見られるように、従来技術によるシステムと本発明を利用するシステムの両方に、一般的なブロック図を適用することができる。

【0025】システムは、ユーザデータか、あるいはアイドルコードなどの特別なコードシリアルを線路14（16）に送出することができる。このシステムでは、8b10bコードのデータコード群を用いてデータを送り、8b10bコードの特別なコード群の1つを用いてアイドルパターンを送る。8b10bコードの詳細はIEEE規格802.3、§36.2.4で規定されている。IEEE規格802.3は引用としてここに包含されており、この規格で規定された情報をここでは反復しない。

【0026】このシステムでデータかアイドルコードのいずれかを送信するとき、パケットと呼ばれるコード群の倍数単位で送信する。システムでデータを受信する

時、データコード群のセットか、8b10bコードの特別なコード群のセットか、いずれかに属するものとして受信コード群が特徴付けされる。受信機は復号データを供給すると共に、受信データがデータコード群のセット、または特別なコード群にあったことを示すデータ有効信号を供給する。データやアイドルコードがパケットサイズの倍数単位で送られるので、データ有効信号はパケット速度でしか変化せず、これはシステムのワードレート以下の端数である。

【0027】また、受信コード群が8b10bコードの有効コード群に属しているか否かを示すエラー信号が受信機から供給される。8b10bコードでは、総コードスペースの約52パーセントが有効コード群に対して画定されるので、ランダムなデータワードを有効コードグループとして認識する可能性は約50パーセントである。

【0028】B側の受信機がワード同期を失っていると仮定する。これは受信データがほぼランダムであると解釈されるから、非常にエラーが多い場合である。この状況での正しい対応は、A側送信機からB側受信機に8b10bコンマコード群を送ることである。このコンマコードはB側受信機によって認識され、受信機でワード境界が正しく再配置される。

【0029】ある意味において、本発明はシステムAとシステムBの間で双方向にデータパケットを転送するために高レベルプロトコルと8b10bコードを使用する実用的な通信システムの一部である。高レベルプロトコルは8b10bの特別なコード群のいくつかと一緒に使用できるので、模擬システムプロトコル情報を用いずに任意のユーザデータをシステムに通すことができる。

【0030】本発明はまた、リンクの一方のシステムでワード同期を喪失したとき、それを他方のシステムが認識してデータ有効信号を処理するため簡単な方法を提供する。

【0031】第1の例として、図3は本発明の第1の実施例システムを示す。図1の従来技術によるシステムにおいて、受信機112（110）の8b10bデコーダ120は多くの場合、同期はずれデータを無効コード群と解釈して、データワードレートでほぼランダムに変動するデータエラー信号を生成する。

【0032】変動するデータエラー信号が発生すると、有効なデータとアイドルコードの間で同様の変動を来たすデータストリームが送信機110（112）から送出される。このデータストリームを受信すると、相手側の受信機において、データ有効信号は基本的に、そのランダムな変動パターンをデータエラー状態として表す。実際に、従来技術によるシステムではリンクの他端において、そのデータエラー線路における急激な変動をデータ有効線路における同様の急激な変動に変換する。

【0033】本発明の第1の実施例では、受信機からデ

ータ有効線路を監視する同期はずれ検出器回路 330 を使用する。この発明実施例のブロック図を図 3 に示す。素子 320、322、324、326 は図 1 に関する類似素子 120、122、124、126 と同等物と考えてよい。したがって、それら素子に関する記述を図 3 のものに適用することが可能である。

【0034】この実施例では、同期はずれ検出器 330 は入力ワードからデータ有効信号を処理する。データ有効信号が比較的低速（例えばシステムのパケットレートまたはそれ以下）で変化するとき、正常なデータフローが可能である。一方、データ有効信号が高速、例えばシステムのワードレートで変化すると、相手側受信機が同期はずれになり易い。後者の場合、同期はずれ検出器 330 は自己側の送信機に信号を送ってコマコードを送らせ、それによって相手側受信機を再同期する。

【0035】図 1 に記載の従来技術によるシステムでは、アイドルコードはコマコードである。その結果、

表 1

シフトレジスタ 332 の出力	アイドル送出信号
000	0
001	0
010	1
011	0
100	0
101	1
110	0
111	0

【0038】これらパターン的一方は、データ有効線路における 1 ワードクロック長だけのアクティブ状態を示す。本発明を使用するシステム 310 または 312 はそのような短いプロトコルを使用しないので、相手側受信機では、その短いパルスは、ランダムな受信データの出現、すなわち、リンクの他方側におけるワード同期の喪失とみなされる。

【0039】この回路は、アーキテクチャ的に有限インパルス応答高域通過デジタルフィルタとみなされ、データが同期はずれ状態であるとシステムで解釈されると、データ有効信号の高周波成分を検出する。

図 1 のシステムと置き換えるように設計されたシステムでは、アイドルコードを送るように要求だけで十分である。他のシステムでは、他の同期指示を送ることができる。

【0036】本発明のこの特徴によれば、データ有効線路上における短いアクティブパルスの発生が、リンクの相手側での同期はずれ状態を表す主要な指標となる。

【0037】図 4 は同期はずれ検出器 330 を実現する回路を示す。回路 330 は、データ有効線路上を流れるアクティブレコードを捕捉するシフトレジスタ 332 と、短パルスデコーダ回路 334 と協働で動作する。最も簡単な実施構成では、シフトレジスタ 330 が 3 段構成の長さであり、101 または 010 パターンの発生時に短パルスデコーダ 334 がアイドル送出信号をアサートする。表 1 は、3 段レジスタ 332 および少なくとも 2 ワードのパケットサイズに対する復号テーブルである。

【0040】パケットサイズが 2 ワード以上の場合、3 段シフトレジスタ 332 は任意のシステムプロトコルに有効なはずである。パケットサイズが 2 ワードを超える場合には、更に長いシフトレジスタを使用することができる。例えば、パケットサイズが 3 ワード以上ならば、デコーダ 334 は単一または二連続のデータ有効アサクション（1）またはデアサクション（0）を含むシーケンスを求めることができる。表 2 は 4 段シフトレジスタ 332 で構成されたデコーダ出力と 3 以上のパケットサイズをまとめた表である。

表2

シフトレジスタ332の出力	アイドル送出信号
0000	0
0001	0
0010	1
0011	0
0100	1
0101	1
0110	1
0111	0
1000	0
1001	1
1010	1
1011	1
1100	0
1101	1
1110	0
1111	0

【0041】最小パケットサイズよりも短い分離サブシーケンスを含むシーケンスを求めることによって、より大きいパケットサイズを利用するプロトコルのために同様の表を作成することができる。長めのシフトレジスタを使用すると、システムで迅速に同期はずれを判定することができるが、更に複雑なデコーダが必要になる。したがって時間の増加が複雑化に見合うかどうかは、設計者が決めることになる。

【0042】本発明のこの特徴を要約すると、同期はずれ検出器330はパケットレート以上のレートでデータ有効線路上の変化を求める。表1、表2ともに、これは、1パケットのワード数より短い1か0のストリングを探ることによって求められる。これらのチャートを作成する際、(シフトレジスタ332の出力からの)ビットシーケンスが他のビットシーケンスに隣接していると仮定している。プロトコルに他の制約があるならば、それらは復号テーブルに織り込むことができる。

【0043】図5は本発明による2つの送受信機システム310、312を含む通信システムを示す。全二重通信が効率的に実行されるように、これらのシステムのいずれか一方、望ましくは双方が同じ能力を備える。

【0044】図示されるように、2つのシステム310、312は2つのシリアル線路314、316で接続される。好ましい実施例では、シリアルリンク314/316は単チャンネル、双方向、ポイントツーポイントインタフェースである。シリアルリンクはシステム310からシステム312への通信に使う差動対ワイヤ314と、トランシーバー312からトランシーバー310への通信に使う別の差動対ワイヤ316とを含むことが望ましい。代替的に、シングルエンデッドワイヤを使用することも可能である。データ信号と制御信号は同じ線路を共有する。動作中、システムのコード構成は、制御とデータを区別するのに使用される。正規のイーサネット(登録商標)アプリケーションで使用されるケーブル

などの標準のカテゴリ5ケーブルを利用することができるので、このタイプの構成は便利である。代替実施例では、半二重システムで単一の差動対またはシングルエンデッドワイヤを用いて発明を実施することができる。

【0045】本発明の好ましい実施例動作を示すために、システム動作を理解するための補助手段として番号が図に示される。以下のステップは図5において丸で囲んだ番号に対応する。

(1) デコーダ320aはシリアル線路316から情報を受け取って、同期喪失を判定する。例えば有効データコードワードまたは有効特別コードワードが予測通りに受信されないとき、同期喪失が生じている。例えばパケットサイズが3ワード長であれば、少なくとも3つのデータワードまたは3つの特別コードワードが連続して受信されるはずである(単一のパケットはデータか特別コードのいずれかであって、両方ではあり得ないから)。

(2) エラーが発生する度に、短いアイドルコードが発生する。短いアイドルコードはフルパケットの長さより短い。

(3) 短いアイドルコードはデータと混在しており、A側(310)からB側(312)へ送られる。

(4) データ有効信号は短いアイドルが発生する度にデアサートされる。短いアイドルの長さはフルパケットよりも短いので、このアクションによってデータ有効線路の信号周波数が増加する。

(5) 同期はずれ検出器330bは、データ有効線路における急変化を認識して、相手側を再同期するために、一般にアイドル送出コマンドの形でコマンドを生成する。

(6) データ有効線路の高周波(同期はずれ検出器330bによって検出)に応答して、同期要求発生器322bは同期パケット、例えばアイドルのパケットを生成する。

(7) エンコーダ326bは同期パケットを送出する。

(8) デコーダ320aは、同期パケットを受け取って再同期可能な状態になる。

【0046】ここまで、本発明に関して8b10bコードのコンテキストで記述してきた。しかし、他のコードを使用しても、本発明の特徴を活用することができる。例えば、より高い周波数エラー指示を認識することができるコードであれば、本発明のこの特徴を利用することができる。その例として、ハミングコード、パリティコードの他、パケットサイズよりむしろシステムワードサイズに基づいた線形ブロックコードがある。

【0047】シリアル通信（長距離、短距離を含めて）を必要とする様々なコンテキストで本発明を利用することができる。シリアルリンクを介したパラレルデータ通信は、これらコンテキストの一例である。パラレルデータをシリアルライザ回路640に供給して、シリアルデータストリームに変換する例を図6に示す。シリアルデータストリームはシリアルリンク614に供給され、デシリアルライザ642に送られて、シリアルデータストリームはパラレルデータに逆変換される。図示されていないが、全二重通信のために2つのシリアルリンクを設けることができる。

【0048】シリアルライザ640およびデシリアルライザ642には、図3に示される回路を設けることができる。この回路は、シリアル通信経路の同期を維持するための手段の一つである。

【0049】図6に示す回路の1つの応用面はコンピュータシステムである。ここに引用として包含される係属中の出願シリアル番号No. 09/616, 105 (T 1-30825) に、このタイプの応用例が記載されている。この係属中の出願における好ましい実施例では、シリアルリンクを備えたPCI-to-PCIブリッジを利用するコンピュータシステムについて記述している。

【0050】図7は本発明の特徴を利用したコンピュータシステム700のブロック図を示す。プロセッサ750として、様々なプロセッサの内いずれか、例えばx86互換マイクロプロセッサやSPARCマイクロプロセッサを使用することができる。

【0051】この実施例において、プロセッサ750は、一般にそのプロセッサ750専用の（例えば、標準化されていない）プロセッサバス752に接続される。バス752はメモリスシステム754と接続される。メモリスシステム754は、関連の制御回路とダイナミックRAM (DRAM) を含む。

【0052】プロセッサバス752はまた、ブリッジ回路758を介してPCIバス756と接続される。このブリッジ回路は、しばしばノースブリッジと呼ばれる。いくつかの例では、メモリスシステム754からのメ

モリ制御回路とブリッジ回路758は単一チップ内に組み込まれる。その場合、図示されていないが、ノースブリッジ758はプロセッサ750とメモリ754の間に接続される。

【0053】PCIバス756は、各種デバイスをバスに接続する際に使用される複数のスロット760を含む。これらのスロットは、例えばハードディスクドライブ、モデム、ネットワークインタフェースカード、光ディスクドライブ (CDROM、DVD等)、その他のデバイス

10 【0054】PCIバス756は、サウスブリッジとも呼ばれる第2のブリッジ回路764を介して、通常はISAやEISAバス762などのレガシバスである第2のバスと接続される。(E)ISAバス762は、キーボード、マウス、ディスプレイ等の入出力装置、その他、不揮発性メモリなどの装置のために一般に使用されるスロット766を含む。

【0055】PCIバス756は標準化バスであるから、スロット760の数は限定されている。それ以上のスロットが必要な場合は、PCI-to-PCIブリッジ回路(P2P)を介して第1のPCIバス756に第2のPCIバス768を接続することができる。その場合、2つのハーフブリッジ回路770、772をシリアルリンク714で相互接続してP2P回路が構成される。もう一つのPCIバス768は、スロット760と同様に使用されるスロット774を含む。実際は、プロセッサ750上で実行されるオペレーティングシステムから見て、第1PCIバス756と第2PCIバス768は単一のPCIバスとして認識される。

30 【0056】P2Pハーフブリッジ回路770、772はそれぞれ、ここに開示される送受信機回路を利用することができる。図5と関連して、例えばP2P回路770が回路310を含み、また、P2P回路772が回路312を含むことができる。もちろん、その他の回路が含まれていてもよい。

【0057】図示されていないが、前記係属中の出願の好ましい実施例で開示されているようなPCI-to-PCIブリッジ回路を実現することができる。例えば、P2P回路770、772の双方にインタフェース装置およびトランシーバ装置を形成して、4チップ構成のブリッジを実現することができる。また、図7に示される2チップ構成も実現可能であろう。

40 【0058】図7のシステムは様々なコンテキストで利用することができる。例えば、このシステムはドッキングステーションと結合可能な携帯用のコンピュータと考えてもよい。この例では、P2Pブリッジ770によって、ケーブル714/716を介したノートコンピュータとドッキングステーションの接続が可能になる。この接続は標準のカテゴリ5ケーブルを使用することができるので好都合である。

【0059】図7のブロック図は、他のシステムでも利用することができる。例えば、小型フォームファクタ (small-form-factor) コンピュータには、ほとんど拡張スペースがない。追加カードを収めた拡張ボックスに、コンピュータ外部へのインタフェースケーブルを接続することができる。同様に、リモート拡張を要する他のコンピュータにも、本発明の利点が役立つ。

【0060】以上に説明用の実施例に基づいて本発明を記述したが、この記述は限定的な意味をもつものではない。開示実施例の様々な変更および組み合わせ、更に他の実施例が可能であることは、当業者にとって明らかであろう。したがって、この種の変更や実施例は、請求範囲に包含されるものとする。

【0061】本発明は、同時に出版され、全体があたかもここに関連として記載されているよう一体化されており (incorporated) かつ、同一人に権利譲渡されたUS特許出願シリアルNo. 09/616, 105 (弁護士ドケットNo. TI-30825) に関連している。

【0062】以上の説明に関して更に以下の項を開示する。

(1) 復号データ出力およびデータ有効出力を備え、受信データ入力ノードに接続されたデコーダであって、パケットレートがワードレートより低くなるように1パケット当たり2ワード以上を含むパケット形式のデータをパケットレートで受信するように構成されたデコーダと、デコーダのデータ有効出力に接続された入力を用意し、データ有効出力上の信号値がパケットレートより高いレートで変化することを確認した時に出力信号をアサートする検出器回路とを有する通信装置。

【0063】(2) 検出器回路に接続され、検出器回路による出力信号のアサーションにตอบสนองして同期要求を生成する同期要求発生器を含む第1項記載の装置。

【0064】(3) 検出器回路が有限インパルス応答高域通過デジタルフィルタを含む第1項記載の装置。

【0065】(4) 検出器回路がデコーダのデータ有効出力に接続されたシリアル入力を備えたシフトレジスタと、シフトレジスタの平行出力に接続された平行入力を備えた短パルスデコーダとを含む第1項記載の装置。

【0066】(5) シフトレジスタが3つの平行出力を含み、短パルスデコーダが3つの平行入力を備えた第4項記載の装置。

【0067】(6) 短パルスデコーダがシフトレジスタの3つの平行出力値が「010」または「101」と判定した時に出力信号をアサートする第5項記載の装置。

【0068】(7) 短パルスデコーダが4つの平行入力を備え、

4つの平行入力が0000のとき、出力0
4つの平行入力が0001のとき、出力0
4つの平行入力が0010のとき、出力1
4つの平行入力が0011のとき、出力0
4つの平行入力が0100のとき、出力1
4つの平行入力が0101のとき、出力1
4つの平行入力が0110のとき、出力1
4つの平行入力が0111のとき、出力0
4つの平行入力が1000のとき、出力0
4つの平行入力が1001のとき、出力1
4つの平行入力が1010のとき、出力1
4つの平行入力が1011のとき、出力1
4つの平行入力が1100のとき、出力0
4つの平行入力が1101のとき、出力1
4つの平行入力が1110のとき、出力0
4つの平行入力が1111のとき、出力0
上記出力をアサートする第4項記載の装置。

【0069】(8) デコーダに8b10bデコーダが含まれる第1項記載の装置。

【0070】(9) シリアル入力と、データ出力と、データ有効出力とを含む8b10bデコーダと、8b10bデコーダのデータ有効出力に接続される入力を備えた同期はずれ検出器と、同期はずれ検出器の出力に接続される入力を備えた同期要求発生器と、同期要求発生器の出力に接続される第1入力を備えた8b10bエンコーダと、エンコーダの第2入力を接続される第1の出力および同期要求発生器に接続される第2出力を備えたシステムプロトコル発生器とを有する通信装置。

【0071】(10) 同期はずれ検出器が有限インパルス応答高域通過デジタルフィルタを含む第9項記載の装置。

【0072】(11) 同期はずれ検出器回路が8b10bデコーダのデータ有効出力に接続されたシリアル入力を備えたシフトレジスタと、シフトレジスタの平行出力に接続された平行入力を備えた短パルスデコーダとを含む第9項記載の装置。

【0073】(12) 同期要求発生器にアイドルコード発生器を含む第9項記載の装置。

【0074】(13) シリアルビット受信機を再同期する方法であって、1パケット当たり少なくとも2ワードを含むパケット形式のシリアルビット情報をシリアル線路から受信するステップと、シリアルビット情報にエラーが含まれるか否かを判定するステップと、各エラー発生時にフルパケット長より短いコードを生成するステップと、遠隔の通信装置にコードを送るステップと、遠隔の通信装置から同期要求コマンドを受信するステップと、同期要求コマンドにตอบสนองしてシリアルビット情報を再同期するステップとを含む前記方法。

【0075】(14) 8b10bコードにしたがってシリアルビット情報を符号化する第13項記載の方法。

【0076】(15) コード生成時に短いアイドルコードを生成する第14項記載の方法。

【0077】(16) コード送信時に、パケットのデータワード間にコードを分散させる第13項記載の方法。

【0078】(17) 1パケット当たり少なくとも2ワードを含むパケット形式のシリアルビット情報をシリアル線路から受信するステップと、シリアルビット情報にフルパケット長より短いコードビットが含まれるか否か判定するステップと、シリアルビット情報にフルパケット長より短いコードビットが含まれていると判定された時、同期要求コマンドを生成するステップと、同期要求コマンドを送信するステップとを含むシリアル通信方法。

【0079】(18) 8b10コードにしたがってシリアルビット情報が符号化されている第17項記載の方法。

【0080】(19) コードビットに短いアイドルコードが含まれる第17項記載の方法。

【0081】(20) 同期要求コマンドにアイドルコマンドが含まれる第17項記載の方法。

【0082】(21) アイドルコマンドの長さがフルパケットに等しい第20項記載の方法。

【0083】(22) 1パケット当たり少なくとも2ワードを含むパケット形式のシリアルビット情報をシリアル線路から受信するステップと、シリアルビット情報にエラーが含まれるか否か判定するステップと、各エラー発生時にフルパケット長より短いコードを生成するステップと、遠隔の通信装置にコードを送信するステップと、遠隔の通信装置でコードを受信するステップと、コードの長さがフルパケットより短いことを認識するステップと、コードの長さがフルパケットより短いことを認識した時に同期要求コマンドを生成するステップと、遠隔の通信装置から同期要求コマンドを送信するステップと、同期要求コマンドを受信するステップと、シリアルビット情報を再同期するステップとを含むシリアルデータ通信方法

【0084】(23) 8b10コードにしたがってシリアルビット情報が符号化されている第22項記載の方法。

【0085】(24) コードビットに短いアイドルコードが含まれる第22項記載の方法。

【0086】(25) 同期要求コマンドにアイドルコマンドが含まれる第22項記載の方法。

【0087】(26) プロセッサバスと結合されたプロセッサと、プロセッサに接続されたメモリと、プロセッサバスと拡張バスの間に接続された第1のブリッジ回路と、拡張バスとシリアルバスの間に接続されたシリアルライザとを有するコンピュータシステムであって、有効データ受信時に有効データ信号をアサートするデコーダ

と、有効データ信号の値がパケットレート以上のレートで変化することが確認された時に出力信号をアサートする検出器回路とをシリアルライザに設け、シリアルライザがワードを生成するワードレートよりパケットレートを低くしたコンピュータシステム。

【0088】(27) 拡張バスにPCIバスが含まれ、シリアルライザをPCI-to-PCIブリッジの一部で形成した第26項記載のシステム。

【0089】(28) コンピュータシステムに携帯用コンピュータシステムが含まれる第26項記載のシステム。

【0090】(29) 第2のシリアルライザを備えたドッキングステーションと組み合わせた第28項記載のシステム。

【0091】(30) シリアルライザの回路と実質的に同じ回路が第2のシリアルライザに含まれる第29項記載のシステム。

【0092】(31) 例えば、システムプロトコル発生器によってアイドルコードまたはユーザデータをパケットサイズの塊で生成するシリアルデータ通信システムにおいて、フルパケットサイズ以下のグループまたは塊で送られてきたアイドルコードまたはデータを検出する装置と方法であって、検出された場合、エラーの存在を確認し、このエラーを適切に修正し、例えばシリアルデータを適切に同期させる。本発明の第1実施例はデコーダ(320)と検出回路(330)を有する。デコーダ(320)はパケットレートでデータを受け取る。各パケットには2ワード以上が含まれており、パケットレートはワードレートより低い。検出器回路(330)はデコーダ(320)からのデータ有効信号を監視し、データ有効信号の値がパケットレートより高速で変化することを確認した時に出力信号(アイドル送出)をアサートする。

【図面の簡単な説明】

【図1】従来技術によるシリアル通信システムの再同期論理の一部を示す。

【図2】通信システムを非常に簡潔に示す図。

【図3】本発明の第1実施例によるシリアル通信システムの再同期論理の一部を示す図。

【図4】好ましい実施例による同期はずれ検出器を示す図。

【図5】本発明の双方向通信システムを示す図。

【図6】シリアルリンクを介したパラレルデータ伝送システムを示す図。

【図7】本発明の特徴を利用したコンピュータシステムを示す図。

【符号の説明】

320 デコーダ

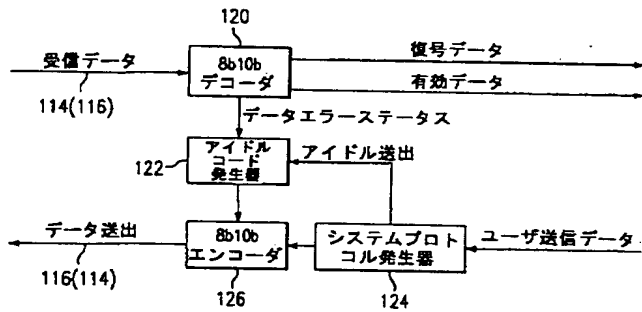
330 同期はずれ検出器

322 同期要求発生器

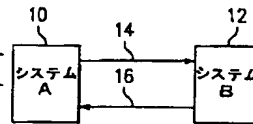
326 エンコーダ
 324 システムプロトコル
 334 シフトレジスタ
 640 シリアライザ
 642 デシリアライザ

750 マイクロプロセッサ
 754 メモリ
 758 ブリッジ回路
 746 ブリッジ回路

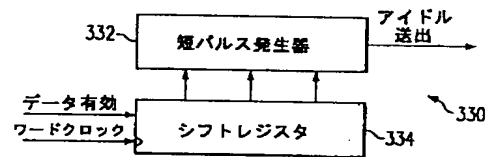
【図1】



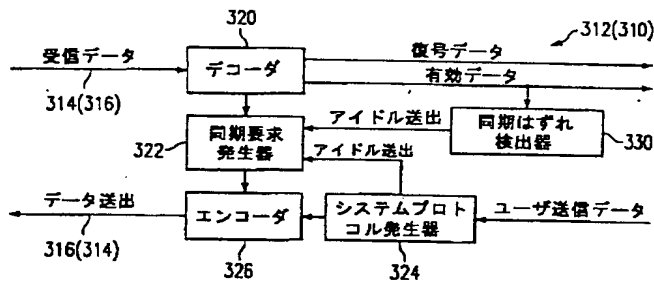
【図2】



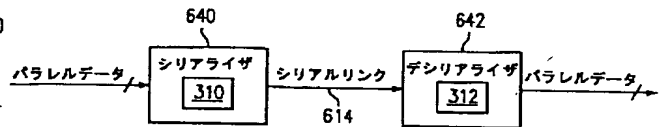
【図4】



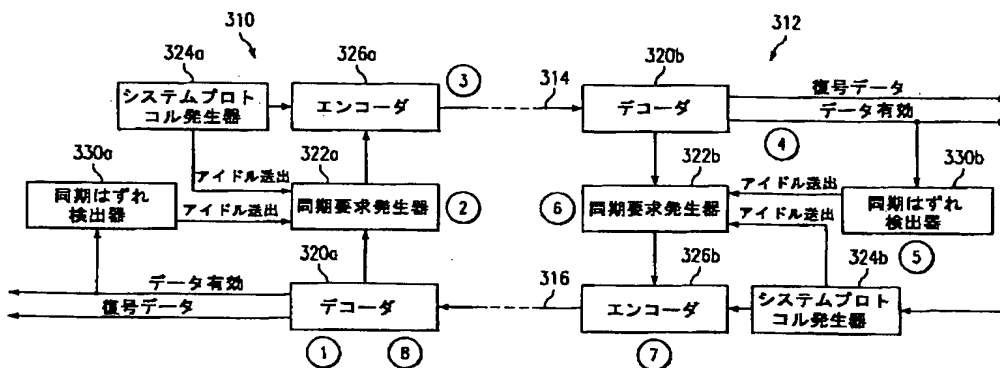
【図3】



【図6】



【図5】



【図7】

